

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-303752

(43)Date of publication of application : 24.10.2003

(51)Int.Cl.

H01L 21/027
G03F 7/30

(21)Application number : 2002-105176

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.04.2002

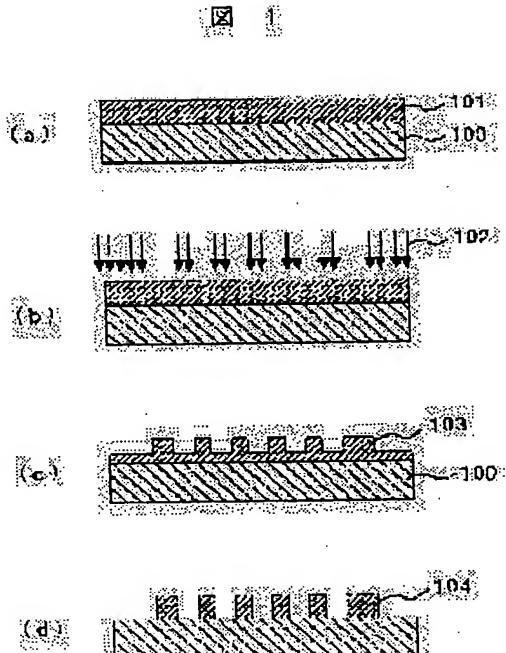
(72)Inventor : TANAKA TOSHIHIKO

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent, by a simplified method, the fall of a resist pattern generated when a fine circuit pattern is formed.

SOLUTION: A resist is developed halfway at first development and a resist pattern is formed at second development via rinsing and drying processes. Here, the concentration of a first developer is set thinner than that of a second developer. This method can solve the fall of the resist pattern.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-303752

(P2003-303752A)

(43)公開日 平成15年10月24日 (2003. 10. 24)

(51)Int.Cl.
H 01 L 21/027
G 03 F 7/30

識別記号

F I
C 03 F 7/30
H 01 L 21/30

テ-マコ-ト(参考)
2 H 0 9 6
5 6 9 F 5 F 0 4 6
5 6 9 E

審査請求 未請求 請求項の数 5 O.L (全 8 頁)

(21)出願番号 特願2002-105176(P2002-105176)

(22)出願日 平成14年4月8日 (2002. 4. 8)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 田中 稔彦
東京都国分寺市東森ヶ丘一丁目280番地
株式会社日立製作所中央研究所内
(74)代理人 100068504
弁理士 小川 勝男 (外2名)
Fターム(参考) 2H096 AA25 BA20 EA05 GA01 GA08
GA17 GA29 GA60
5F046 LA12 LA14

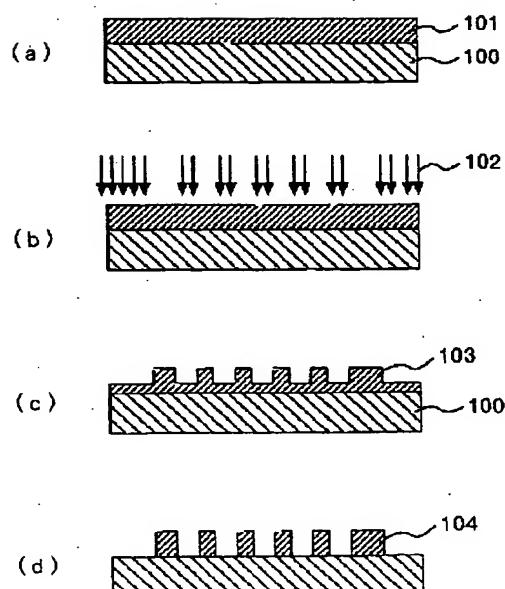
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】微細回路パターンを形成するときのレジストパターン倒れを簡便な方法で防止することが本発明の解決課題である。

【解決手段】第1の現像でレジストを途中まで現像し、
リソフ、乾燥を経て、第2の現像を行ってレジストパターンを形成する。ここで第1の現像液の濃度は第2の現像液の濃度より薄いものとしておく。本方法によって上記課題は解決される。

図 1



【特許請求の範囲】

【請求項1】基板上に感光性組成物を含有する膜を形成し、該感光性組成物を含有する膜に所望のパターンを露光する工程と、前記露光を施されたパターン領域において、第1の現像液を用いて、前記感光性組成物を含有する膜を途中まで現像し、その後にリノスおよび乾燥を行う工程と、前記第1の現像液と同じか、または他の現像速度を有する第2の現像液を用いて、前記感光性組成物を含有する膜を、少なくとも前記基板が露出するまで現像する工程を有することを特徴とする半導体装置の製造方法。

【請求項2】基板上に感光性組成物を含有する膜を形成し、該感光性組成物を含有する膜に所望のパターンを露光する工程と、前記露光を施されたパターン領域において、第1の現像速度を有する第1の現像液を用いて、前記感光性組成物を含有する膜を途中まで現像し、その後にリノスおよび乾燥を行う工程と、第2の現像速度を有する第2の現像液を用いて、前記感光性組成物を含有する膜を、少なくとも前記基板が露出するまで現像する工程とを備え、前記第1の現像速度が前記第2の現像速度より遅いことを特徴とする半導体装置の製造方法。

【請求項3】前記第1の現像液は、前記第2の現像液より薄い濃度を有することを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】前記第1の現像液にはアルカリ現像液を用い、該現像液のリノスには水溶液を用いることを特徴とした請求項1または2に記載の半導体装置の製造方法。

【請求項5】前記感光性組成物は、アクリル樹脂とカルボン酸現像液溶解基を用いたレジストであることを特徴とした請求項1または2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造に用いるリソグラフィ方法に関し、特に、微細な回路パターンを有する半導体装置をパターン倒れ不良なく製造するのに好適なレジストパターン形成方法に関する。

【0002】

【従来の技術】半導体回路の製造にはケミカルベーパデポジション (Chemical Vapor Deposition : CVD) 等の膜形成工程、インプラなどの不純物層形成工程、レジストパターンを形成するリソグラフィ工程、およびエッチング工程が繰り返し用いられる。半導体回路の動作速度を上げたりデバイスの集積度を向上させる方法としては回路パターンの微細化が特に有効であるため、リソグラフィの解像度向上が盛んに進められている。この結果、現在主流の光リソグラフィにおいても、また少量多品種に好適な電子線(EB)リソグラフィにおいても、またX線を用いたX線リソグラフィにおいても0.1μmを切る解像度が得られつつある。しかしながら実際にレジストパター

ンを形成しようとするとレジストパターンが倒れ、微細パターンを不良なく形成することが困難になっている。その代表的なパターン倒れの様子を図2に示す。レジストパターン110は寄り添うように曲がり、あるいは一部でパターンが折れる。なお図2中の100は基板を示す。

【0003】パターン倒れはパターンが微細になるほど発生しやすい。特に密集パターンで発生しやすく、またパターンの高さをパターン幅で割ったアスペクト比が高いほど発生しやすい。リノス液の乾燥時に発生する毛管力、正確にはラプラス力がパターン倒れの主因であることがすでにわかっており、その対策として特開平6-29211には低表面張力リノス液を用いる方法が、また特開平5-315241には超臨界状態を用いたリノス液乾燥法が開示されている。なおレジストパターンアスペクト比を大きく下げればパターン倒れは容易に防止できるが、レジストの下に形成される反射防止膜の加工や、被加工膜のエッキングを考慮するとレジストアスペクト比を2.5以下に下げるることは困難で、できれば3.5程度を確保したい。この加工からの要求により、現状アスペクト比の下げしろはほとんどなくなっている。

【0004】

【発明が解決しようとする課題】通常のリソグラフィ方法では微細回路パターンをパターン倒れなく形成することが困難である。パターン倒れを防止する方法として開発された低表面張力リノス液を用いる方法はリノス液に添加する界面活性剤によるレジストへのダメージが残り適用が限定される。超臨界状態を用いた乾燥法は高圧下の処理となるため取り扱いが不便であり、またリノス液置換、加圧、揮発等工程数も多く、またその処理時間も長いこと、超臨界液がCO₂、置換液がアルコールであるためどのレジストにも汎用に展開できるものではないという問題があった。

【0005】本発明の目的は、上記従来の課題を解決する微細パターンの形成方法、すなわち現状のレジストに汎用に展開でき、処理時間も比較的短くレジストパターン倒れを防止する微細パターン形成法を提供することにある。

【0006】

【課題を解決するための手段】本発明の目的は、1) 基板上に感光性組成物を含有する膜を形成し、その感光性組成物を含有する膜に所望のパターンを露光する工程と、露光を施されたパターン領域において、第1の現像速度を有する第1の現像液を用いて、感光性組成物を含有する膜を途中まで現像し、その後にリノスおよび乾燥を行う工程と、第1の現像速度と同じかまたは他の現像速度を有する第2の現像液を用いて、感光性組成物を含有する膜を、少なくとも前記基板が露出するまで現像する工程を有する半導体装置の製造方法により達成できる。

2) また、基板上に感光性組成物を含有する膜を形成

し、その感光性組成物を含有する膜に所望のパターンを露光する工程と、露光を施されたパターン領域において、第1の現像速度を有する第1の現像液を用いて、感光性組成物を含有する膜を途中まで現像し、その後にリンスおよび乾燥を行う工程と、第1の現像速度より速い現像速度を有する第2の現像液を用いて、感光性組成物を含有する膜を、少なくとも前記基板が露出するまで現像する工程を有する半導体装置の製造方法により、

3) 第1の現像液は、前記第2の現像液より薄い濃度を有する上記1) または2) の半導体装置の製造方法により、

4) 第1の現像液にはアルカリ現像液を用い、その現像液のリソスには水溶液を用いる上記1) または2) の半導体装置の製造方法により、

5) 感光性組成物は、アクリル樹脂とカルボン酸現像液溶解基を用いたレジストであることを特徴とした上記

1) または2) の半導体装置の製造方法により達成できる。

【0007】

【発明の実施の形態】(実施の形態1) 実施の形態1では、半導体装置の製造工程を示した工程図である図1(a)から(d)を用いて説明する。まず、図1(a)に示すように基板100上にレジスト101を形成した。レジストとしては通常のベースポリマーがフェノール樹脂の酸触媒反応型化学增幅系ポジレジストを用いたがこれに限るものではない。例えばノボラック系の化学增幅型レジストでも、アクリル樹脂の化学增幅系レジストでもかまわない。但し、アクリル樹脂とカルボン酸溶解基を含むレジストはマイクロ膨潤しやすく、構造強度も弱いことから本発明の方法は、特に効果がある。基板100は半導体ウエハ上にタンクステン膜、ポリシリコン膜、塗化膜あるいは酸化膜などの被加工膜が形成されたものである。さらにその上有機や無機の反射防止膜が形成されていてもかまわない。ここでは被加工膜として酸化膜を用いた。次ぎに所望の回路パターンの露光を行った。その様子を図1(b)に示す。図中101が露光光である。ここでは露光光101として波長248nmのKrFエキシマレーザ光を用いたが、これに限るものではなく例えば波長193nmのArFエキシマレーザ光、電子線、波長13nm付近のEUV光、波長1nm付近のX線等でもかまわない。

【0008】その後図1(c)に示すように第1の現像を行った後、リソス、乾燥を行ってレジストパターン103を形成した。現像時間はレジストが抜けきらない、すなわち基板面が露出しない時間に設定した。現像液にはテトラメチルアンモニウムハイドロオキサイドの水溶液を用いた。これはアルカリ水溶液である。その濃度は1wt%とした。リソス液には超純水を用いた。途中までの現像で終えることによりその段階で形成されるレジストパターンのアスペクト比は本来形成すべきパターンのアスペクト比より下がる。このためこの段階でのパターン倒れを

防止できる。通常現像液の濃度としては2.38 wt%のものが用いられるが、1 wt%と薄くすることにより途中現像までの時間制御を容易なものとした。実際、通常の2.38 wt%のものを用いると基板面が顔を出すまでの現像時間は3秒となり、レジストを残した現像にするためには1.5秒程度にする必要があった。この時間ではウエハ面内全域に渡る現像の均一性とウエハ間およびロット間の現像安定性を得ることはできなかった。1 wt%のものを用いることによりレジストを途中まで現像する第1現像の現像時間は6秒となり、十分な均一性と安定性を得ることができた。なお、1wt%という値はこれに限るものではなく、0.2 wt%から2 wt%まで組み合わせるレジストによって変わるものである。その濃度は現像制御性の観点から決められる。ただし、0.2 wt%以下となると現像液のヘタリが問題となるため好ましくない。

【0009】その後図1(d)に示すように第2の現像を行った後、リソス、乾燥を行ってレジストパターン104を形成した。ここでは現像液に通常の濃度のものである2.38 wt%のものを用い現像時間は60秒とした。アルカリ水溶液で第1の現像を行い、水溶液でリソスを行ったレジストはその表面が硬化する。そのためレジスト変形が起こりにくい。さらに表面硬化によりレジストパターン頭部同士が軽い接触を受けた場合にもその部分同士が癒着することなく剥がれる。リソス液乾燥中にパターン倒れが発生する現象を詳細に調べたところ、リソス液表面張力(ラプラス力)による変形とそれに引き続くレジストパターン接觸、癒着が1つの原因であることがわかった。ラプラス力による変形が起こってもレジストは一種の弾性体なのでリソス液が乾き、ラプラス力が作用しなくなるとパターン変形は元に戻る。癒着が起こらなければクラッシュするほどの接觸でないかぎりパターン倒れを防止できるため、この方法はパターン倒れ防止に効果がある。第2の現像で通常濃度の現像液で十分な時間現像を行っているためパターン形成精度も十分確保できた。この方法によりスペース0.1μm、パターン幅0.1μm、レジスト膜厚0.35μmの回路パターンをレジストパターン倒れなく形成することが可能となった。通常の方法ではこのパターンはレジスト膜厚0.28μm以下にしないとパターン倒れが発生した。

【0010】なお、本実施例ではフェノール樹脂を用いたレジストの場合を説明したが、アクリル樹脂とカルボン酸現像液溶解基を用いたレジスト、例えばArFリソグラフィ用レジストの場合には第1の現像が希釈された現像液となっており、且つ現像時間も短いことから現像液によるマイクロ膨潤が少なく、この意味でもパターン倒れが発生しにくかった。第2の現像では濃度は通常となり、現像時間も長いがレジスト表面が硬化されているためマイクロ膨潤も通常より少ない。この効果が加わるため特にアクリル樹脂とカルボン酸現像液溶解基を用いたレジストには本方法の効果が大きかった。ここで、本発

明の実施例に使用される現像装置の概要について述べる。

【0011】図3は、現像装置の一例で、その要部断面構造を示す。スピナにウエハが吸着され、上部から希釈現像液（現像液1）を滴下するためのノズル、現像液（現像液2）を滴下するためのノズル、そしてリソス液を滴下するためのリソスノズルを有する。スピナは所望の回転数で回転させることができる。本装置は構造がシンプルで、安く、メンテナンス性に優れ、かつフットプリントも小さいという特長がある。

【0012】図4は、図3に示した現像装置を用いて本発明の現像を行うときのシーケンスを示す。ウエハをスピナに載置した後、現像液1を現像液1ノズルから滴下する。このときウエハは50rpm位の回転速度で回転させ、ウエハ全面に素早く現像液が広がるようにする。その後スピナの回転を止め静止現像を行う。露光部もレジストが残り、基板が露出しない時間現像を行う。スピナを回転させながらリソスノズルからリソス液（水）を滴下してリソスを行い、その後回転乾燥させる。その後、現像液2を現像液2ノズルから滴下する。このときもウエハは50rpm位の回転速度で回転させ、ウエハ全面に素早く現像液が広がるようにする。その後スピナの回転を止め静止現像を行う。この現像でレジストパターン形成を行う。スピナを回転させながらリソスノズルからリソス液（超純水）を滴下してリソスを行い、その後回転乾燥させて、レジストパターンが形成される。

【0013】図5は、第2の現像装置の装置概要を示したもので、(a)が上面図、(b)および(c)は(a)のA-A'面およびB-B'面の断面構造概要を示す。現像リソススリットノズルはガイドレールに沿って図面上左右方向に移動でき、スリット状に配置された現像液1吐出口、現像液2吐出口、およびリソス液吐出口を持つ。これらの吐出口は図(a)上のX方向に狭く、Y方向に長いスリット状の開口を持つ。ウエハはスピナに吸着され、所望の回転数でウエハを回転させることができる。また所望の回転角でウエハを止めることができる構造になっている。リソスノズルはウエハ方向へ90度回転させることができ、その先端にリソス液吐出口を有する。この装置はスウェーブ現像タイプで、12インチのような大型ウエハの場合にも面内現像時間制御性が極めて高いという特長がある。

【0014】図6は、図5に示した第2の現像装置を用いて現像するときの工程を上面から見た要部図で示したものである。まず図6に示すようにウエハをスピナに吸着する。希釈現像液である現像液1を吐出しながら右方向に現像リソススリットノズルをスウェーブする（図7）。このときウエハは静止しておく。スウェーブし終わったら静止現像する。露光部もレジストが残り、基板が露出しない時間現像を行う（図8）。その後ウエハを半回転させ（図9）、次ぎにリソス液（超純水）を吐出しながら左方向に現像リソススリットノズルをスウェーブする。

【0015】本実施例では現像を第1現像と第2現像の2段階で行っているが、3段階や4段階等複数回行うことも効果がある。各段階で抜き部のレジストを少しずつ除去し、レジストパターンを硬化させることによってより高アスペクトのパターンまでレジストパターン倒れを防止することができる。一方、本実施例で示した2段階現像は処理時間が短いと言う特長がある。

【0016】次に、本発明を製品回路に適用した場合の実施例を示す。

【0017】図21は、ロジック配線適用のパターンレイアウト例である。図21(a)のA-A'断面において、微細パターンが隣接している個所で倒れが発生しやすい（図21(b)）。本発明の適用により、このような微細パターンの倒れも効果的に防止できる。

【0018】図22は、メモリゲート配線への適用の一例で、FLASHメモリのレイアウト例である。その上面から見たパターンレイアウトを(a)に、A-A'およびB-B'面の断面図をそれぞれ(b), (c)に示す。ここでは密集微細パターンであるメモリセル内のゲート部(A-A'面)が倒れやすく、周辺回路部の比較的疎なパターン部(B-B'面)は倒れにくい。本方法を適用することによってメモリセル内の微細パターン部でもパターン倒れを防止することができるという効果が得られた。

【0019】

【発明の効果】本願によって、微細回路パターンをバターン倒れなく形成することが可能となる。その結果、微細回路パターンを有する半導体装置を歩留り高く製造することが可能となる。

【図面の簡単な説明】

【図1】半導体装置の製造工程を半導体ウエハの断面図を用いて示した工程図である。

【図2】レジストパターン倒れの様子を説明する断面図である。

【図3】現像装置の一例で、その要部断面構造を示す図である。

【図4】現像装置を用いて本発明の現像を行うときのシーケンスを示す。

【図5】第2の現像装置の装置概要を示す図であり、(a)が上面図、(b)および(c)は(a)のA-A'面およびB-B'面の断面構造概要を示す。

【図6】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

【図7】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

【図8】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

【図9】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

【図10】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

【図11】第2の現像装置を用いて現像するときの工程

を上面から見た要部図を示す図である。

【図12】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

【図13】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

【図14】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

【図15】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

【図16】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

【図17】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

【図18】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

【図19】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

【図20】第2の現像装置を用いて現像するときの工程を上面から見た要部図を示す図である。

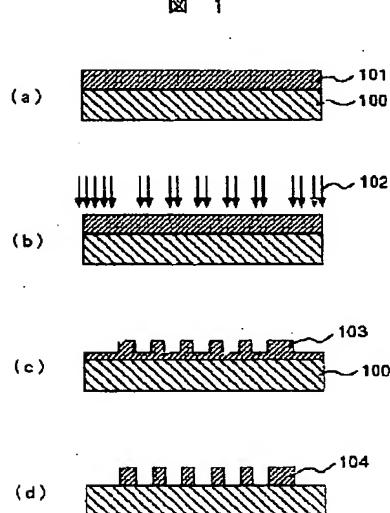
【図21】本発明の一実施例であるロジック配線のレイアウトパターンとその断面図である。

【図22】本発明の一実施例であるメモリゲート配線のレイアウトパターンとその断面図である。

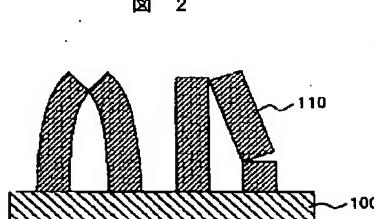
【符号の説明】

100…基板、101…レジスト、102…露光光、103…レジストパターン、104…レジストパターン、110…露光光

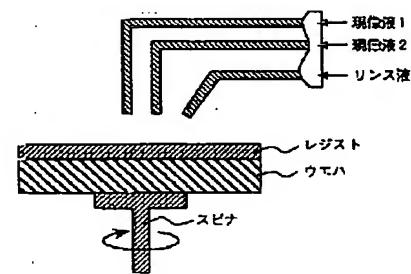
【図1】



【図2】

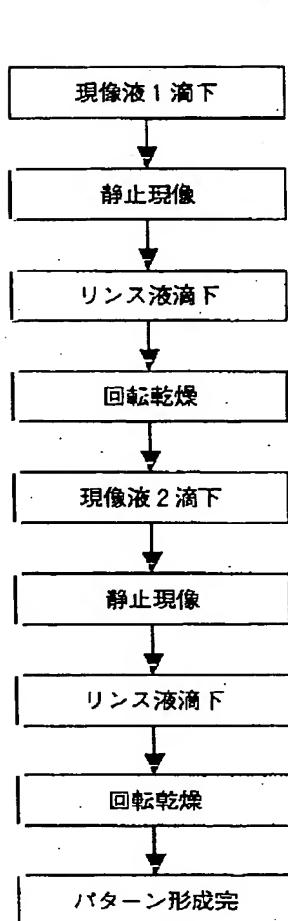


【図3】



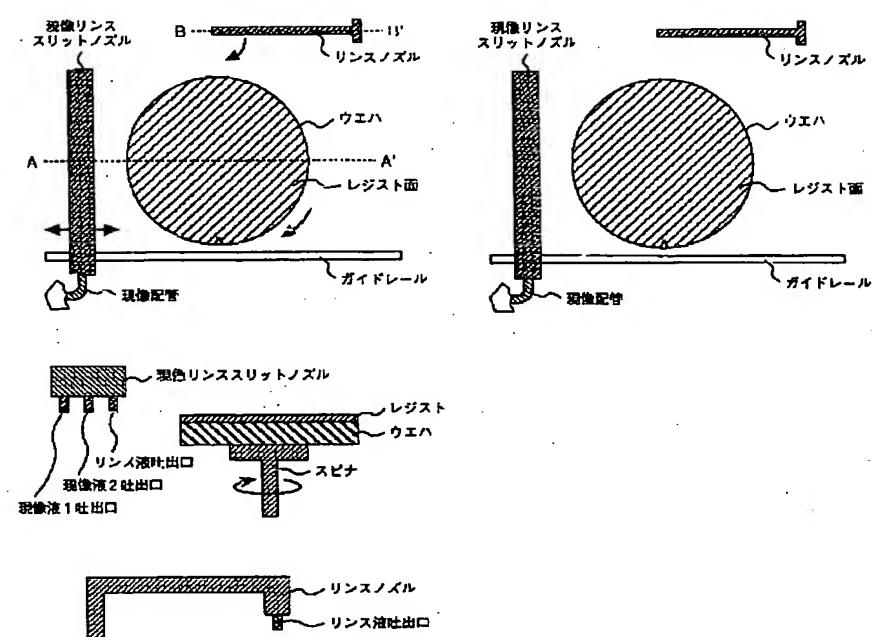
【図4】

図 4



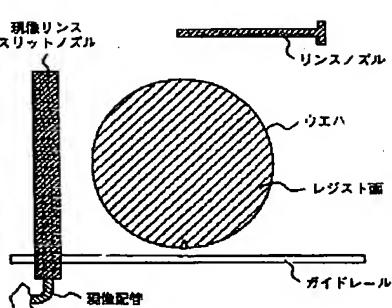
【図5】

図 5



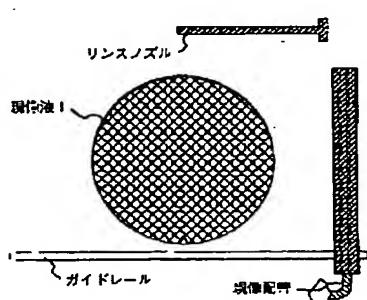
【図6】

図 6



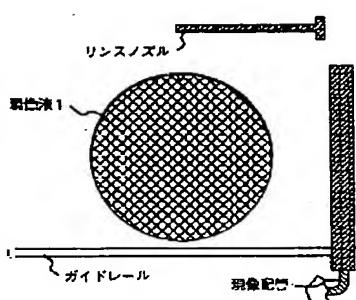
【図8】

図 8



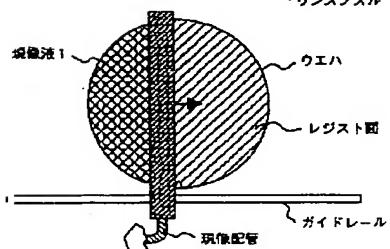
【図9】

図 9



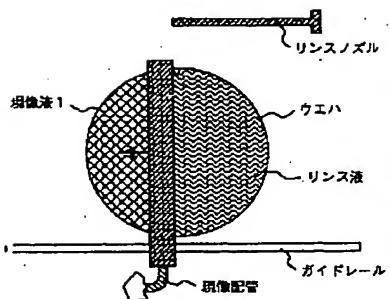
【図7】

図 7



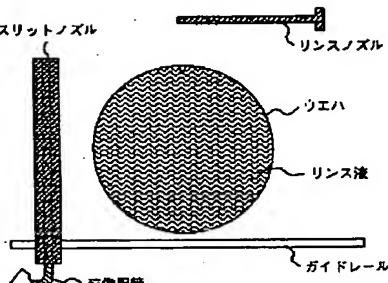
【図10】

図 10



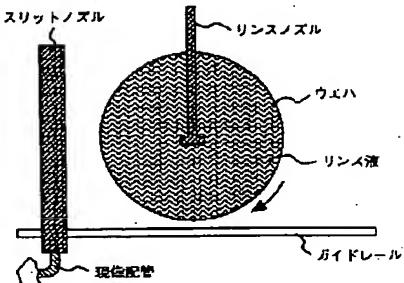
【図11】

図 11



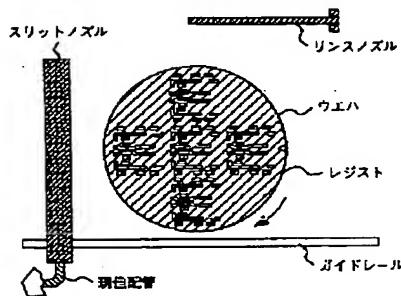
【図12】

図 12



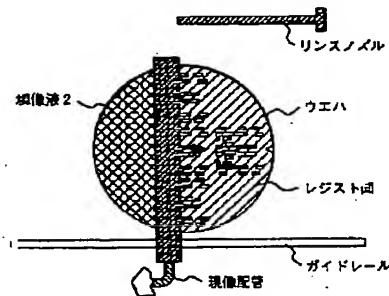
【図13】

図 13



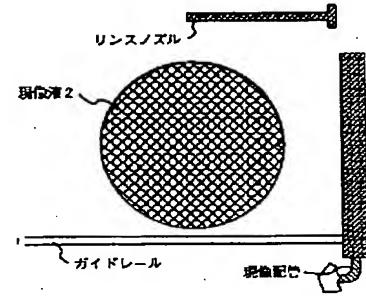
【図14】

図 14



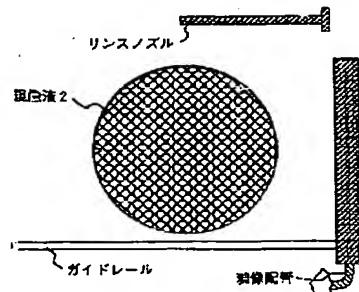
【図15】

図 15



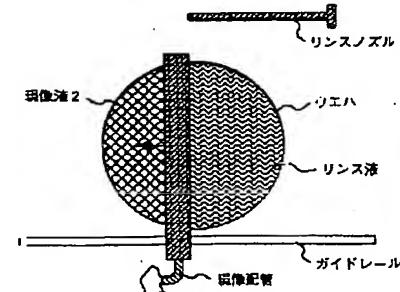
【図16】

図 16



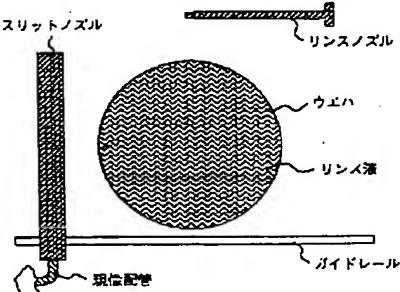
【図17】

図 17



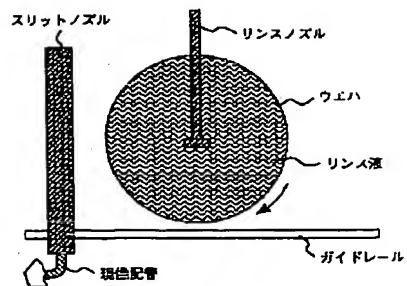
【図18】

図 18



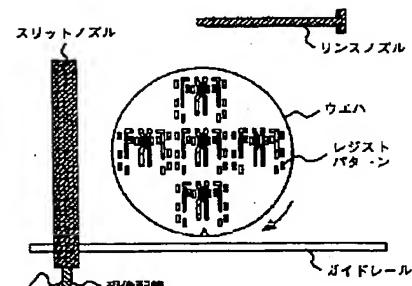
【図19】

図 19



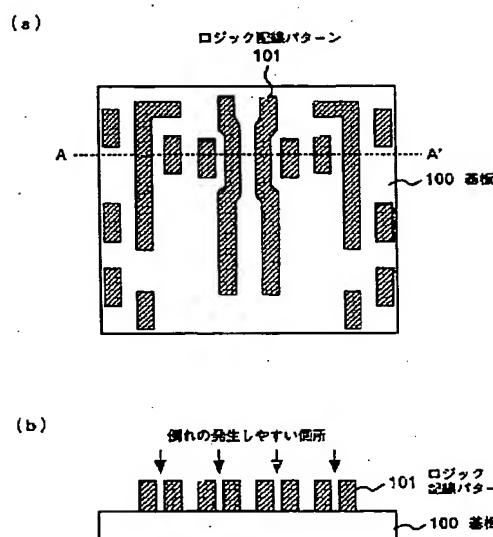
【図20】

図 20



【図21】

図 21



【図22】

図 22

